

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 63013379
PUBLICATION DATE : 20-01-88

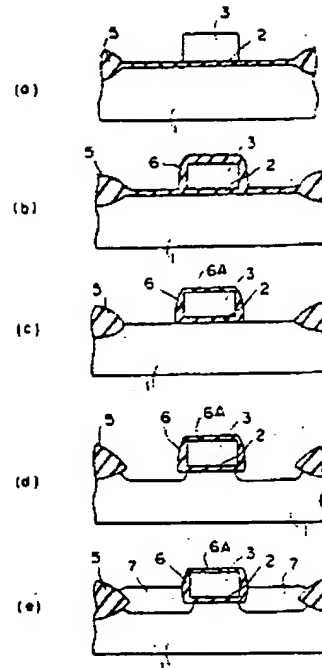
APPLICATION DATE : 04-07-86
APPLICATION NUMBER : 61156182

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : ISHII HITOSHI;

INT.CL. : H01L 29/78 H01L 27/08

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To form shallow source-drain having low resistance by constituting the source and the drain of films mainly comprising germanium or the mixed crystal of germanium and silicon.

CONSTITUTION: An insulating film 5 for isolating elements and a gate insulating film 2 are formed, a semiconductor film such as a P-doped or As-doped polycrystalline Si film is shaped as a gate electrode, and the gate electrode 3 is patterned. The patterned gate electrode is thermally oxidized, thus forming structure in which the gate electrode 3 is coated with an insulating film 6. An oxide film on regions as source-drain is removed with directional properties through a reactive ion etching method, etc., and the gate side-wall insulating film 6 is left. An oxide film 6A is also left on the gate electrode 3 at that time. Si in source-drain forming regions is etched through the selective etching of Si. N-type Ge layers 7 are grown selectively only on Si through a CVD method using GeH₄ gas or GeCl₄ and H₂ gas.

COPYRIGHT: (C)1988,JPO&Japio

BEST AVAILABLE COPY

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A) 昭63-13379

⑰ Int. Cl.⁴

H 01 L 29/78
27/08

識別記号

3 0 1
1 0 2

庁内整理番号

S-8422-5F
7735-5F

⑱ 公開 昭和63年(1988)1月20日

審査請求 未請求 発明の数 2 (全8頁)

⑲ 発明の名称 半導体装置およびその製造方法

⑳ 特 願 昭61-156182

㉑ 出 願 昭61(1986)7月4日

㉒ 発 明 者 高 橋 庸 夫 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
社厚木電気通信研究所内

㉓ 発 明 者 石 井 仁 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
社厚木電気通信研究所内

㉔ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉕ 代 理 人 弁理士 山川 政樹 外1名

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 半導体基板上にゲート絶縁膜を介して形成したゲート電極と、このゲート電極を挟んで半導体基板に形成されたソースおよびドレインとを備えた半導体装置において、ソースおよびドレインをゲルマニウムまたはゲルマニウムとシリコンとの混晶を主成分とする膜によつて構成したことを特徴とする半導体装置。

(2) ゲート絶縁膜をシリコン酸化膜よりも耐熱性が低くかつ高い誘電率を有する絶縁膜としたことを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) ゲート電極を金属または金属シリサイドとしたことを特徴とする特許請求の範囲第1項記載の半導体装置。

(4) 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、このゲート電極の両側に

絶縁膜を形成する工程と、ソースおよびドレイン形成領域の半導体基板をエッチングにより除去する工程と、このソースおよびドレイン形成領域にゲルマニウムまたはゲルマニウムとシリコンとの混晶を主成分とする膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

(5) ゲルマニウムまたはゲルマニウムとシリコンとの混晶を主成分とする膜の形成をゲルマニウムを構成元素とするガスを含むガス中において行うことを特徴とする特許請求の範囲第4項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、MOS形半導体装置およびその製造方法に関する。

〔従来の技術〕

従来用いられているMOS形トランジスタを第9図に示す。シリコン(Si)基板1の主表面上に、SiO₂等からなるゲート絶縁膜2を介して多結晶Siからなるゲート電極3が形成されている。4

はnチャネルであればAsあるいはP等のn形を与えるV族元素を不純物として添加したSi層(n形Si層)からなるソースおよびドレイン層で、ゲート電極3を形成した後、ゲート電極3をマスクとしてAsまたはPをイオン注入し、その後900℃程度の温度で熱処理して形成される。5は厚いSiO₂膜等からなる素子分離用絶縁膜である。

〔発明が解決しようとする問題点〕

上述したようにして形成されたソース・ドレイン層は、その深さを浅くすることが困難である。その結果、特にゲート・チャネル長の短い微細なMOSトランジスタでは、横方向の寸法に比較して縦方向の寸法が極端に大きくなり、良好な動作特性を得ることができなくなる(例えばアブライド・ソリッド・スタート・サイエンスのサブリメント2A(1981年)中の「フィジクス オブ MOS トランジスタ」(J. R. Brews, "Physics of MOS Transistor", in D. Kahng, Ed., Applied Solid State Science, Supplement

2A, Academic Press, New York, 1981))。

また、ゲート電極は、ソース・ドレイン層形成のためのマスクにならなければならないため、通常300nm～500nm以上の厚さが必須となるが、これは素子の構造の凹凸を大きくすることとなり、配線等が難しくなる。

さらに、ソース・ドレイン層形成のために、900℃程度の熱処理が必要であるため、ゲート電極およびゲート絶縁膜がこれに耐えなければならない。このため、低抵抗率であつても耐熱性の低いAl等の金属や、高誘電率であつても耐熱性の低いTa₂O₅等をゲート電極やゲート絶縁膜として使用することができない。

また、Si中のキャリアの移動度は大きくない。したがって、Si基板中にAs等をイオン注入することによって形成されたソースあるいはドレイン層の抵抗は高くなり、MOS素子の特性を悪化させる。

浅くて、しかも低抵抗のソース・ドレイン層を実現する手段としては、従来よりソースあるいは

ドレインのイオン注入層の上に、低抵抗の金属あるいは金属シリサイド層を形成することが提案されている。しかし、この方法では、イオン注入層と金属あるいは金属シリサイド層との間のコンタクト抵抗が問題となり、特にMOS素子を微細化し、イオン注入層を浅くした場合にはその影響が大きくなり、ソース・ドレイン層の抵抗の低下に効果がなくなると報告されている(IEEEトランザクションズ・オン・エレクトロン・デバイス29巻4号651頁、1982年(D. B. Scott et al., IEEE Transactions on Electron Devices, Vol. 29, No. 4, P651, 1982))。

〔問題点を解決するための手段〕

本発明の半導体装置は、ソース・ドレイン層として、Si等の半導体基板に不純物イオンを注入してなる層の代りに、不純物をドーブしたゲルマニウム(Ge)またはGeとSiとの混晶を主成分とする膜を用いたものである。

また、本発明の製造方法は、ゲート電極の側壁を絶縁膜で覆った上で、ソースおよびドレイン形

成領域をエッチングで除去し、そこにGeまたはGeとSiとの混晶を主成分とする膜を形成するものである。

〔作用〕

GeはSiに比較してキャリアの移動度が大きいことからソース・ドレイン層の抵抗が低くなる。

また、ソース・ドレイン層の深さは基板のエッチングで制御でき、浅く形成することが可能である。

さらに、ソース・ドレイン形成温度を300℃程度まで低くできるため、耐熱性の低いゲート絶縁膜やゲート電極を使用し、しかもセルフアライン工程が利用できる。

また、ソース・ドレイン層は上方に厚くすることにより、ソース・ドレイン層の抵抗を一層低くできるとともに素子構造の平坦化ができる。

Geの代りにGeとSiとの混晶を用いた場合もほぼ同様である。

〔実施例〕

(実施例1)

第1図は本発明をnチャネルMOS形トランジスタに適用した場合の一実施例を示す断面図である。第9図と同一記号は同一部分を示し、1はSi基板、2はSiO₂からなるゲート絶縁膜、3は多結晶Siからなるゲート電極、5はSiO₂からなる素子分離用絶縁膜である。6はゲート側壁絶縁膜、7はn形Ge層である。この構造の特徴は、ソース・ドレイン層としてGe層7を用いていることにある。

まず、本実施例のnチャネルMOS形トランジスタの動作原理について説明する。

第2図(a)は、ゲート電極3の電位を制御し、チャネルをオフ状態とした際の、ソース-チャネル(ゲート電極下)-ドレインのエネルギーバンド図である(ここでは簡単のため、ソース・ドレインを同電位としてある)。従来のMOS形トランジスタと同様に、n形Geで構成されるソース領域の伝導帯にある電子は、ソース・チャネル間の電位障壁を越えられないため、ソース・ドレイン間に電圧を印加しても電流は流れない。

次に、ゲートの電位を制御して、チャネルがオン状態となるようにすると、第2図(b)に示すようなバンド図となる。ソースあるいはドレインとチャネルの伝導帯との間には、約0.1eVの不連続が残っているが、障壁の高さがわずかであるので、ソースとドレインとの間に電圧を印加すれば、電流が流れることになる。すなわち、本発明によるトランジスタも従来のSi nチャネルMOS形トランジスタと同様な動作をすることになる。ここで、つけ加えると、第2図のような不連続を有するバンド図が得られるのは、GeとSiとのバンドギャップがそれぞれ約0.67eVと約1.11eVであり、電子親和力はGeの方がSiより約0.1eV程度大きいからである。Ge-Si混合の0.1eVの伝導帯の不連続は、この電子親和力の差によるものである。

次に、このような本発明によるMOS形トランジスタ構造を形成する方法について述べる。まず、Ge膜の形成法について説明する。CVD法によりGeH₄ガスを含む雰囲気中でSi基板を処理する

と、基板温度が250℃以上で、Ge膜をSi基板上にのみ選択的にエピタキシャル成長させることができ、例えばSiO₂膜のような絶縁膜上にはGeは堆積しない。また、GeH₄ガスとつしよに、例えばPH₃ガスあるいはAsH₃ガス等のV族元素を構成元素とするガスを導入すると、Ge膜中にPあるいはAs等のV族元素を添加できることになり、n形Ge膜が得られる。このようにPH₃やAsH₃ガスを導入しても、Si上のみ選択成長することに変わりはない。また、Si上へのGeの選択エピ成長は、GeCl₄とH₂ガスを用いることによっても可能である。ただし、その際には、最初にGeH₄ガスを導入して、Geの核形成を行なつておく必要がある。また、成長温度は、GeH₄ガスを用いた場合より少し高く、400℃以上必要である。

次に、このGeの選択エピタキシャル成長を用いた本実施例のトランジスタの製造工程について説明する。第3図(a)に示すように、通常のMOS形トランジスタの製造工程と同様に、素子分離用絶

縁膜5およびゲート絶縁膜2を形成した後、ゲート電極として例えばPドーブあるいはAsドーブの多結晶Si膜を形成し、ゲート電極3のパターニングを行なう。次に、例えばこれを熱酸化することにより、第3図(b)に示すようなゲート電極3を絶縁膜6で覆つた構造ができる。次に、公知の反応性イオンエッチング法等により、方向性をもつてソース・ドレインとなる領域(ソース・ドレイン形成領域)上の酸化膜を除去し、第3図(c)に示すようにゲート側壁絶縁膜6を残す。このとき、ゲート電極3上にも、酸化膜6Aを残すようにする。熱酸化時に、多結晶Siからなるゲート電極3上の酸化膜は、Si基板上(ソース・ドレイン形成領域上)の酸化膜より厚く形成されるため、反応性イオンエッチングによりゲート電極3上に酸化膜6Aを残すことは可能である。

次に、第3図(d)に示すように、Siの選択エッチングにより、ソース・ドレイン形成領域のSiをエッチングする。その後、前述したGeH₄ガスあるいはGeCl₄とH₂ガスを用いたCVD法に

よりn形G₀層7をSi上にのみ選択成長させ、第3図(d)の構造を得る。この構造の特徴は、前述したように、ソース・ドレインの形成温度を、容易に500℃程度以下にすることができ、また、ソース・ドレイン層の深さは、Siのエッチング深さと等しいので、Siのエッチング速度と時間とを制御することにより、容易に浅くすることができることである。

ところで、第3図(c)の工程で、ゲート電極3の上部の酸化膜6Aが、ソース・ドレイン形成領域上の酸化膜のエッチングの際に除去されてしまったとすると、次のエッチングの工程で、ゲート電極3を構成する多結晶Siもエッチングされる。このとき、多結晶Siが全部エッチングされてしまわなければ、次のG₀のエピ成長後に、第4図に示すようにゲート電極3上にもG₀層7Aが堆積した構造となる。この構造でも機能的に問題はないが、ゲート電極とソースあるいはドレイン間に大きな段差が生じることになり、次層の配線層形成の際に不利である。これを避けるためには、

Siの抵抗率約 $6 \times 10^{-3} \Omega \text{cm}$ に対し、G₀のそれは約 $1.5 \times 10^{-3} \Omega \text{cm}$ 、不純物濃度を 10^{20}cm^{-3} とした場合で、Si約 $7 \times 10^{-4} \Omega \text{cm}$ に対しG₀約 $3.5 \times 10^{-4} \Omega \text{cm}$ と、低抵抗のソース・ドレインが得られる。また、第5図のような構造とすれば、ソース・ドレインの深さは浅く保つたまま、厚いソース・ドレイン層が形成でき、なみ層の低抵抗化が可能となる。さらに、先に説明したようなソース・ドレインのイオン注入層の上に金属あるいは金属シリサイド層を形成する方法のように、コンタクト抵抗が問題となることもない。

次に、本構造において、ソース・ドレインの深さをどこまで浅くできるかについて述べる。ソース・ドレインの深さは、第3図(d)のSi基板のエッチング深さで決まる。この際、ソースとドレイン領域は、ゲート電極3直下まで達していないと、オフセットゲートとなり、MOS形トランジスタの特性が悪くなる。したがってSiのエッチングを完全に等方的に行なえば、Siのエッチング深さは、ゲート側壁絶縁膜6の厚さよりわずかに深く

上述したようにゲート電極のパターン形成前にゲート電極上に、エッチングに耐えうる厚さの絶縁膜を形成しておけばよい。そのために、第6図に示す実施例のようにゲート電極上に特別に絶縁膜(12)を形成する方法をとつてもよい。

上記の工程では、ソース・ドレイン形成にイオン注入を用いてみらず、ゲート電極3は、イオン注入のマスクとなる必要がないため、その厚さは抵抗があまり大きくならない範囲で自由に選べる。また、G₀層7の厚さは、堆積速度と時間とを制御することによつて、上方向には任意に設定できる。したがって、素子分離用絶縁膜5、ゲート電極3、ソース・ドレインG₀層7の厚さを適当に選ぶことによつて、第5図のような平坦な構造が得られることになる。こうすることにより、次層の配線層の形成が容易になり、またG₀層7を厚くすることによりソース・ドレインの抵抗を一層低くすることができる。

また、G₀はSiに比べ電子移動度が高く、例えばn形不純物濃度を 10^{19}cm^{-3} とした場合で、

すれば十分である。ゲート側壁絶縁膜厚は、10nm程度まで薄くできるので、ソース・ドレインの深さも10nm程度まで浅くすることができることになる。

このようにソース・ドレインの抵抗を低くし、またその深さを浅くできることにより、次のような利点がある。すなわち、ソース・ドレインの抵抗が低くできると、MOS形トランジスタの高周波特性(あるいは動特性)が良好になり、応答速度が速くなるため、高速回路が構成できるようになる。また、拡散層深さを浅くできると、公知の短チャネル効果が生じにくくなるので、短チャネルの微細なMOS形トランジスタを形成しても、その特性の安定性・再現性が失われることはなく、高速動作をする素子ができることになる。

(実施例2)

上述した実施例では、ゲート電極として多結晶Siを用いた場合について示した。しかし、上記実施例では、基板は多結晶Si形成の際に700°～900℃以上で熱処理されることになり、ゲート

酸化膜はこの温度に耐えなければならなかつた。そこで、次に、耐熱性の低いゲート絶縁膜およびゲート電極を用いることができる工程について、第6図を用いて説明する。

通常の工程で形成したゲート絶縁膜2上に、ゲート電極(となる導電材層)11を形成し、続いて酸化膜や窒化膜等の絶縁膜12を形成する(第6図(a))。なお、この絶縁膜12は、前述したように、ゲート側壁絶縁膜を残してソース・ドレイン形成領域上の絶縁膜を、反応性イオンエッチングにより除去する際に、ゲート電極上にも絶縁膜が確実に残るようにするために形成したものである。

次に、ゲート電極11のパターン形成を行ない(第6図(b))、さらに、CVD法等の、ゲート電極11の側壁にも膜が堆積するような方法で、絶縁膜13を形成する(第6図(c))。次に、反応性イオンエッチング等により、方向性をもつて、ソース・ドレイン形成領域上の絶縁膜13とゲート絶縁膜2を除去する(第6図(d))。次いで、第3図

の誘電率に比例するため、ゲート絶縁膜の誘電率は大きいほど良い。また、ゲート電極の抵抗は、できるだけ低い方が、寄生抵抗の効果が少なくなり、高周波特性(あるいは動特性)が良好になる。しかし、従来のMOS形トランジスタの形成工程では、ソース・ドレインのイオン注入後の熱処理温度が900°程度と高いため、 SiO_2 (誘電率3.9)よりはるかに高い誘電率を有するが耐熱性の低い Ta_2O_5 (誘電率30)や低抵抗体であるが耐熱性の低い AlN を用いることはできなかつた。

これに対し、上述した形成工程では400°程度の耐熱性を有していれば十分であるので、 Ta_2O_5 や AlN を用いることができるという利点を有する。さらに、ゲート電極の仕事関数が変化するとMOS形トランジスタの閾値電圧が変化することを利用し、ゲート電極材料の選択によつて、トランジスタ特性を最適化することができるが、その類、従来はゲート電極としては多結晶 Si あるいは高融点金属(Mo 、 Ta 等)のみしか使えなかつたが、本発明によれば、高仕事関数を有する Pt 、シリサ

に示したと同じ方法で Si 、第1のエッチング、続いて GeH_4 あるいは GeCl_4 と H_2 とによる α 形 Ge 層7のエピタキシャル成長を行えば、 Ge は絶縁膜上には堆積しないので、第7図のような構造が得られる。

このように、絶縁膜13をCVD法等により堆積させるため、ゲート電極3として多結晶 Si を用いる必要がない。また、この工程でも、ソース・ドレイン層の形成温度は500°以下(300°程度まで)にすることができるので、耐熱性の低い Ta_2O_5 等の高誘電率の絶縁膜をゲート絶縁膜2として用い、かつ AlN 等の耐熱性の低い高誘電率を有する金属をゲート電極11として用い、しかもセルフアライン工程でMOS形トランジスタを構成することができる。この場合も、ソース・ドレイン層を焼くことは言うまでもなく、素子特性を従来のMOSトランジスタに比べて著しく向上させることができる。

すなわち、MOS形トランジスタの素子性能を決定する伝導コンダクタンス β_m は、ゲート絶縁膜

イドや低仕事関数を有する Si 等の希土類金属等まで、多くの種類の金属を用いることができるといふ利点もある。なお、 Ta_2O_5 の代りにストロンチウム等の酸化物、その他窒化物、あるいは GaAs 等の半導体(半絶縁性)などを用いることも可能である。

なお、第1の実施例と同様であるが、本実施例でも Ge 層は、上方向には厚く形成できるので、ソース・ドレインの抵抗をさらに小さくすることもできる。また、 Ge 層を厚くすることで、ソース・ドレイン形成後の形状を平坦に近くすることも可能であり、次層の配線層の形成が容易になるという特徴も有している。

(実施例3)

以上、ソース・ドレインとして α 形 Ge 層を用いた例について示したが、 Ge 層を、 Ge と Si との混合物としても、ほぼ同様の効果が得られる。なお、 Ge 膜に同族の元素、例えば炭素やスズなどが1~2%程度混入しても、ほとんど同様のものが得られる。

G₀-Si 混晶をエピタキシャル成長させる方法としては、例えばG₀H₄等のG₀を構成元素とするガスと、SiH₄やSi₂H₆等のSiを構成元素とするガスとを用いたCVD法がある。例えば、G₀H₄ガスとSi₂H₆ガスとを用いる方法では、Siの濃度を高くする(すなわちSi₂H₆ガスの比率を増大させる)ほど膜形成速度を高くする必要がある。一例として、SiとG₀の比率を1:1程度とした場合で約600℃以上必要である。

ところで、G₀-Si 混晶は、絶縁膜上にも多結晶膜あるいは非晶質膜として堆積するので、第3図あるいは第6図に示したようなセルフアライン工程は用いることができない。したがって、G₀-Si 混晶を堆積した後、公知のフォトリソグラフィおよびエッチングを施すか、あるいはリフトオフを利用するなどの方法により、不要なG₀-Si 混晶を除去すればよい。次に、リソグラフィを用いず、エッチングのみにより不要なG₀-Si 混晶を除去する例について、第8図を用いて説明する。

の混晶を主成分とするソース・ドレインを形成することが可能である。

(発明の効果)

以上説明したように、本発明によれば、キャリアの移動度の大きいG₀またはG₀とSiとの混晶を主成分とする膜をソース・ドレインとして利用することにより、浅くてしかも低抵抗のソース・ドレインが形成でき、また耐熱性が低くても誘電率の高いゲート絶縁膜あるいは耐熱性が低くても導電率の高いゲート電極材料の使用が可能になることから、伝導コンダクタンス g_m の大きい、高周波特性の良好なMOS形トランジスタが形成できる。また、ソース・ドレインを浅く形成できることから短チャネル効果が生じにくく、かつセルフアライン工程の利用も可能で、微細なMOS形トランジスタが形成できる。さらに素子構造を容易に平坦化して欠陥の配線層等の形成を容易にでき、高密度・高速の集積回路を形成することが可能となる。

4. 図面の簡単な説明

第6図に示したと同様の工程でゲート電極の側壁に絶縁膜13を形成した後、さらにソース・ドレイン形成領域のSi基板を選択エッチングする(第8図(a))。次に、上述した方法により、G₀-Si 混晶を堆積させる。この場合、G₀-Si 混晶は絶縁物上にも堆積するので、G₀-Si 混晶層21が全面に形成される(第8図(b))。次に、この上に流動性の高い材料、例えばレジスト22を塗布して表面を平坦にし(第8図(c))、次いで公知のイオンスパンタ法により表面から一様にエッチングし、ゲート電極11上のG₀-Si 混晶層21を除去すれば、第8図(d)のような構造が得られる。レジスト22はその後除去する。

したがって、この方法を用いれば、セルフアライン工程により、G₀-Si 混晶層をソース・ドレイン領域に形成できることになる。

以上、Si基板を用いたnチャネルMOS形トランジスタを例に説明したが、pチャネルMOS形トランジスタについても、またG₀As等、他の基板を用いた場合にも、同様にG₀またはG₀とSiと

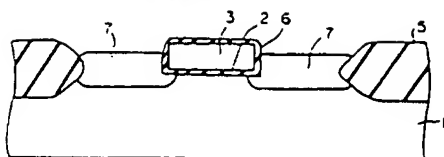
第1図は本発明の一実施例を示すnチャネルMOS形トランジスタの断面図、第2図はその動作を説明するためのエネルギーバンド図、第3図は製造方法の一例を示す工程断面図、第4図および第5図はそれぞれ変形例を示す断面図、第6図は本発明の第2の実施例を示す工程断面図、第7図は同じくnチャネルMOS形トランジスタの断面図、第8図は本発明の第3の実施例を示す工程断面図、第9図は従来例を示す断面図である。

1・・・Si基板、2・・・ゲート絶縁膜、3, 11・・・ゲート電極、6, 13・・・ゲート側壁絶縁膜、7・・・G₀層、21・・・G₀-Si混晶層。

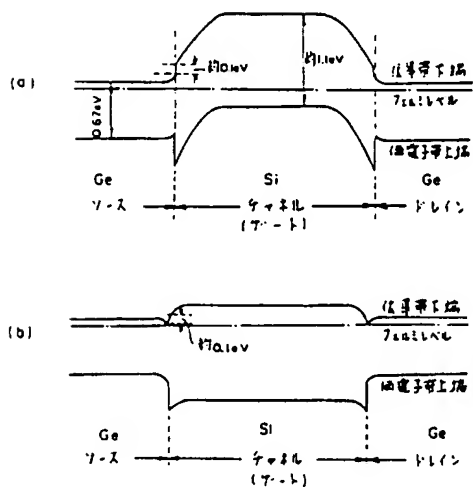
特許出願人 日本電信電話株式会社

代理人 山川政樹(ほか1名)

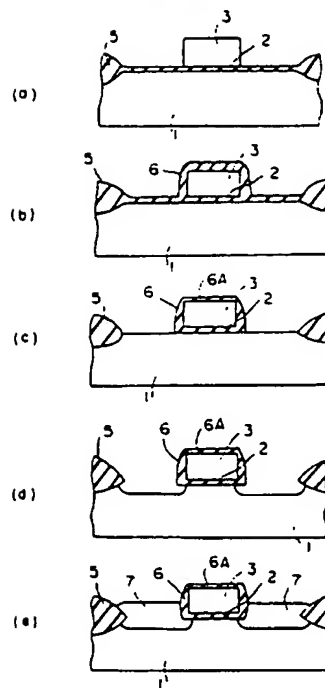
第1図



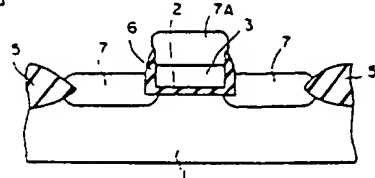
第2図



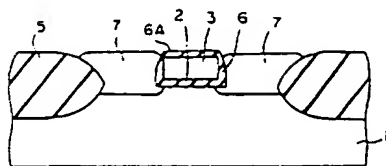
第3図



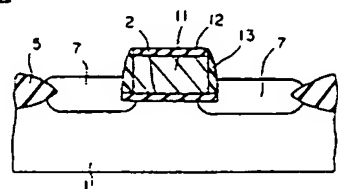
第4図



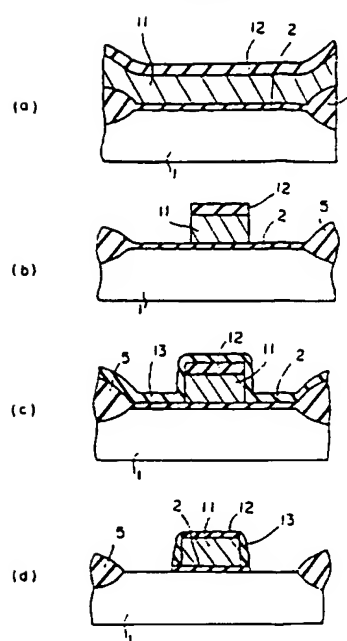
第5図



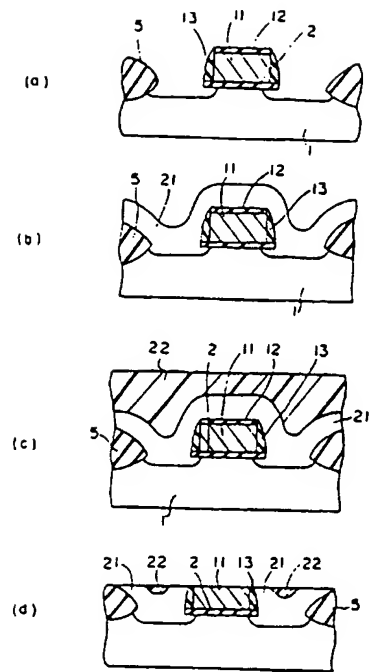
第7図



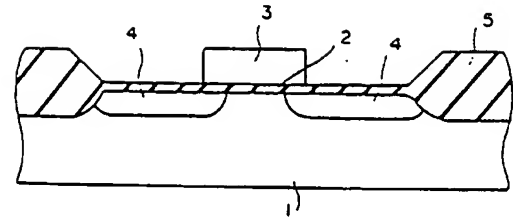
第6図



第8圖



第9圖



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.